

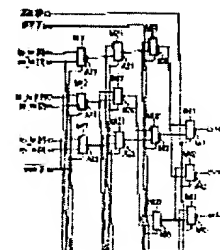
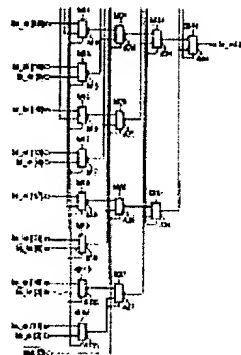
Multi-stage multiplexer arrangement e.g. barrel shifter

Patent number: DE19647157
Publication date: 1998-05-28
Inventor: SCHNEIDER CLAUDIUS (DE)
Applicant: SIEMENS AG (DE)
Classification:
- International: **H04J3/04; H04J3/04; (IPC1-7): H04J3/00; H04L5/22**
- European: **H04J3/04D**
Application number: DE19961047157 19961114
Priority number(s): DE19961047157 19961114

Report a data error

Abstract of DE19647157

The arrangement (MA) comprises inputs (E_i , $i = 1..n$) and at least one output (A_j , $j = 1..m$), and is formed in such way, that at least one multiplexer (M_{kl} , $k = 1..s$, $l = 1..t$) is controlled by an inverted control signal. The multiplexer arrangement selects a predetermined area of bits in an input vector, and provides it as an output vector at its output. All multiplexer stages are pref. controlled by inverted control signals, and the multiplexer arrangement is pref. formed as a barrel-shifter and integrated in an IC.



Data supplied from the **esp@cenet** database - Worldwide



⑬ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Offenlegungsschrift**
⑩ **DE 196 47 157 A 1**

⑤ Int. Cl.⁶:
H 04 J 3/00
H 04 L 5/22

⑲ Aktenzeichen: 196 47 157.5
⑳ Anmeldetag: 14. 11. 96
㉑ Offenlegungstag: 28. 5. 98

㉒ Anmelder:
Siemens AG, 80333 München, DE

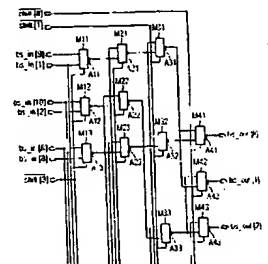
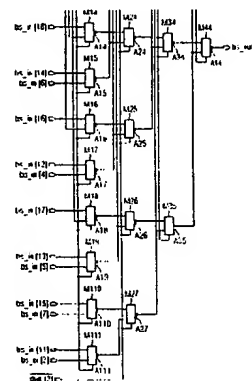
㉓ Erfinder:
Schneider, Claus, Dipl.-Ing., 81739 München, DE

㉔ Entgegenhaltungen:
US 51 30 940
EP 05 90 597 A2

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

- ⑤4 Mehrstufige Multiplexeranordnung
- ⑤7 Es wird eine Multiplexeranordnung (MA) vorgeschlagen, die derart ausgestaltet ist, daß mindestens ein Multiplexer (Mkl) der Multiplexeranordnung (MA) mit einem invertierten Steuerungssignal angesteuert wird.



DE 196 47 157 A 1

DE 196 47 157 A 1

5 Durch eine mehrstufige Multiplexeranordnung wird eine Auswahl von Eingangssignalen zu einem Ausgangssignal von mindestens der Größe eines Bits ausgewählt.

Ein Sonderfall einer mehrstufigen Multiplexeranordnung ist ein sogenannter Barrel-Shifter. Mit einem Barrel-Shifter wird aus einem Eingangsdatenvektor ein vorgebbare Bereich, der als Ausgangsdatenvektor bezeichnet wird, selektiert. Dabei ist in diesem Fall der Ausgangsdatenvektor um eine, durch einen Steuerungsvektor festgelegte Anzahl von Bits,
10 gegenüber dem Eingangsdatenvektor verschoben.

Aus dem Dokument [1] ist eine Architektur eines Barrel-Shifters bekannt. Bei dieser Architektur wird durch ein Einzelsignal eines Steuerungsvektors jeweils eine Multiplexerstufe der Multiplexeranordnung des Barrel-Shifters gesteuert. Der Steuerungsvektor wird binär codiert, so daß jedes Bit des Steuerungsvektors zur Steuerung einer Multiplexerstufe verwendet wird. Mit jeder Multiplexerstufe wird bei dieser bekannten Anordnung der an der Multiplexerstufe jeweils an-
15 liegende Signalvektor der Vorgängerstufe um 2^x Bits verschoben, falls das jeweilige Steuerbit der Multiplexerstufe aktiv ist, wobei x die Wertigkeit des Steuersignals angibt. Bei dieser bekannten Multiplexeranordnung wird das Steuerungssignal der Multiplexeranordnung in nichtinvertiertem Zustand zugeführt. Wie im weiteren erläutert wird, ist die Steuerungslogik für diese bekannte Multiplexeranordnung sehr aufwendig.

20 Kurzbeschreibung der Erfindung

Somit liegt der Erfindung das Problem zugrunde, eine mehrstufige Multiplexeranordnung anzugeben, bei der die Steuerungslogik gegenüber der bekannten Multiplexeranordnung vereinfacht wird.

Das Problem wird durch die mehrstufige Multiplexeranordnung gemäß Patentanspruch 1 gelöst.

25 Bei der mehrstufigen Multiplexeranordnung, die eine vorgebbare Anzahl von Eingängen und mindestens einen Ausgang aufweist, ist die Multiplexeranordnung derart ausgestaltet, daß mindestens ein Multiplexer mit einem invertierten Steuerungssignal angesteuert wird.

Durch diese Multiplexeranordnung wird eine erheblich vereinfachte Steuerungslogik für die jeweilige Multiplexeranordnung gegenüber der bekannten Multiplexeranordnung, die mit nichtinvertierten Steuerungssignalen angesteuert werden,
30 erzielt.

Durch die vereinfachte Steuerungslogik wird eine erhebliche Einsparung an benötigter Chipfläche bei der Realisierung der Multiplexeranordnung erreicht.

Ein weiterer Vorteil der Multiplexeranordnung ist darin zu sehen, daß auf einfache Weise die Multiplexeranordnung an Schaltungsanordnungen angekoppelt werden kann, deren Ausgangssignale in invertierter Form vorliegen. Bei der bekannten Multiplexeranordnung wäre in diesem Zusammenhang eine zusätzliche Inverterstufe erforderlich, die jeweils
35 das invertierte Signal, welches als Eingangssignal der Multiplexeranordnung zugeführt werden soll, invertiert wird, um somit ein nichtinvertiertes Steuerungssignal zu erhalten.

In diesem Fall wird also eine erhebliche Einsparung an zusätzlichen Schaltungselementen, den Invertern, erreicht, da invertierte Steuersignale direkt zur Steuerung der Multiplexeranordnung verwendet werden können.

40 Vorteilhafte Weiterbildungen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

Es ist vorteilhaft, daß mindestens eine Multiplexerstufe derart ausgestaltet ist, daß sie insgesamt mit einem invertierten Steuerungssignal angesteuert wird. Dadurch wird eine weitere Vereinfachung in der Steuerungslogik erreicht.

Weiterhin ist es vorteilhaft, alle Multiplexerstufen derart auszugestalten, daß sie mit invertierten Steuersignalen angesteuert werden. Durch diese Weiterbildung wird erreicht, daß die Steuerungslogik in ihrer Gesamtheit weiter vereinfacht
45 wird.

Kurzbeschreibung der Figuren

In den Figuren sind Ausführungsbeispiele der Erfindung dargestellt, die im weiteren näher erläutert werden.

50 Es zeigen

Fig. 1a und **1b** Multiplexer, die mit einem nichtinvertierten Steuerungssignal (**Fig. 1a**) bzw. mit einem invertierten Steuerungssignal (**Fig. 1b**) angesteuert werden;

Fig. 2 eine bekannte mehrstufige Multiplexeranordnung, welche mit nichtinvertierten Steuerungssignalen angesteuert wird;

55 **Fig. 3** eine mehrstufige Multiplexeranordnung, welche die gleiche Funktionalität aufweist wie die in **Fig. 2** dargestellte Multiplexeranordnung, wobei die Multiplexeranordnung derart ausgestaltet ist, daß alle Steuerungssignale der Multiplexeranordnung invertiert zugeführt werden;

Figurenbeschreibung

60 In **Fig. 1a** ist ein erster Multiplexer MUX1 dargestellt, welcher über ein nichtinvertiertes Steuerungssignal shift gesteuert wird. Die Funktionalität des ersten Multiplexers MUX1 ist derart, daß abhängig von dem Steuerungssignal shift jeweils entweder ein erstes Eingangssignal E1 oder ein zweites Eingangssignal E2 ausgewählt wird und als Ausgangssignal A zur Weiterverarbeitung an einem Ausgang des ersten Multiplexers MUX1 zur Verfügung gestellt wird. Auch
65 wenn im weiteren zur einfacheren Darstellung lediglich 2 : 1-Multiplexer in der Multiplexeranordnung MA verwendet werden, so ist die Erfindung jedoch keineswegs auf 2 : 1-Multiplexer beschränkt. Es kann jeder Multiplexer mit einer beliebigen Anzahl Eingängen und Ausgängen im Rahmen der Erfindung verwendet werden.

In der folgenden Tabelle ist jeweils das Ausgangssignal A in Abhängigkeit des Steuersignals shift dargestellt.

Erster Multiplexer MUX1

	E1	E2
shift=0	A=E1	--
shift=1	--	A=E2

Weist das Steuerungssignal shift einen Wert logisch 0 auf, so wird das erste Eingangssignal E1 als Ausgangssignal A zur Verfügung gestellt. Weist das Steuerungssignal shift jedoch den logischen Wert 1 auf, so wird das zweite Eingangssignal E2 als Ausgangssignal A zur Verfügung gestellt. Diese Funktionalität wird im weiteren für einen Multiplexer verwendet, der mit einem nichtinvertierten Steuerungssignal shift angesteuert wird.

In Fig. 1b ist eine zweite Multiplexeranordnung MUX2 dargestellt, welche mit einem invertierten Steuerungssignal shift angesteuert wird.

Die Funktionalität des zweiten Multiplexers MUX2 ist in folgender Tabelle zusammengestellt:

Zweiter Multiplexer MUX2

	E1	E2
shift=0	--	A=E2
shift=1	A=E1	--

Dem zweiten Multiplexer MUX2 wird ebenfalls das erste Eingangssignal E1 und das zweite Eingangssignal E2 zugeführt. Das Ausgangssignal A des zweiten Multiplexers MUX2 hängt von dem invertierten Steuerungssignal shift in folgender Weise ab. Weist das invertierte Steuerungssignal shift einen Wert logisch 0 auf, so wird das zweite Eingangssignal E2 zu dem Ausgangssignal A "durchgeschaltet". Weist das invertierte Steuerungssignal shift den Wert logisch 1 auf, so weist das Ausgangssignal A des zweiten Multiplexers MUX2 den Wert des ersten Eingangssignals E1 auf.

In Fig. 2 ist eine mehrstufige Multiplexeranordnung MA dargestellt, wie sie aus dem Stand der Technik, beispielsweise aus dem Dokument [1] bekannt ist.

Die Multiplexeranordnung MA weist allgemein eine beliebige Anzahl von Eingängen Ei auf. Mit einem Index i wird jedes Eingangssignal, welches einem Bit entspricht, eindeutig gekennzeichnet. Der Index i ist eine natürliche Zahl zwischen 1 und n, wobei mit n die Anzahl mit der Multiplexeranordnung MA gleichzeitig verarbeitbaren Bits bezeichnet wird.

In Fig. 2 sind in der Multiplexeranordnung MA 16 Eingänge Ei sowie vier Steuerungseingänge SEk, jeweils für eine Multiplexerstufe STk vorgesehen. Mit einem Index k wird jede Multiplexerstufe STk der Multiplexeranordnung MA eindeutig gekennzeichnet. In diesem einfachen Beispiel sind vier Multiplexerstufen STk vorgesehen. Der Index k ist eine natürliche Zahl zwischen 1 und s, wobei mit s die Anzahl in der Multiplexeranordnung MA vorhandener Multiplexerstufen STk bezeichnet wird (s=4).

Die Multiplexeranordnung MA weist ferner allgemein eine beliebige Anzahl von Ausgängen Aj auf. Mit einem Index j wird jedes Ausgangssignal, welches einem Bit entspricht, eindeutig gekennzeichnet. Der Index j ist eine natürliche Zahl zwischen 1 und m, wobei mit m die Anzahl mit der Multiplexeranordnung MA gleichzeitig verarbeitbaren Ausgangsbits bezeichnet wird.

Allgemein weist eine mehrstufige Multiplexeranordnung eine beliebige Anzahl von Eingängen Ei, Ausgängen Aj sowie Multiplexerstufen STk auf.

Ferner weist jede Multiplexerstufe STk eine vorgebbare Anzahl von Multiplexern Mkl auf, wobei mit dem Index k jeweils die Multiplexerstufe STk und mit dem Index l jeweils ein Multiplexer Mkl innerhalb der Multiplexerstufe STk eindeutig bezeichnet wird. Der Index l ist eine beliebige Zahl zwischen 1 und t, wobei mit t die Anzahl der in der Multiplexerstufe STk enthaltener Multiplexer Mkl bezeichnet wird.

An einen Eingang Ei wird ein Eingangssignal, d. h. jeweils ein einzelnes Bitsignal angelegt, das durch die Multiplexeranordnung MA in vorgegebbarer Weise entsprechend der Struktur der Multiplexeranordnung MA und des Steuerungssignals shift bzw. shift ausgewählt wird und als Ausgangssignal A an dem Ausgang Aj zur Verfügung gestellt wird.

Es wird durch die Multiplexeranordnung MA eine Auswahl von Eingangssignalen, die der Multiplexeranordnung MA zugeführt werden, getroffen. Die Auswahl entspricht der jeweiligen Struktur der Multiplexeranordnung MA, welche lediglich eine vorgebbare Boolesche Funktion beschreibt, die durch die Multiplexeranordnung MA realisiert wird.

Die Funktionalität der in Fig. 2 dargestellten Multiplexeranordnung MA ist die eines sog. Barrel-Shifters. Bei einem Barrel-Shifter wird abhängig von einem Steuerungsvektor SV, der die einzelnen Steuerungssignale shift bzw. shift, die den Steuerungseingängen SEk zugeführt werden und mit denen in diesem Fall ganze Multiplexerstufen STk gesteuert werden, binär codiert.

In jeder Multiplexerstufe STk wird ein Eingangsdatenwort, welches eine vorgebbare Anzahl von Bits aufweist, die der Multiplexeranordnung MA zugeführt werden, verschoben, falls das jeweilige Steuerungssignal shift bzw. shift für die Multiplexerstufe STk aktiv ist. Die Verschiebung erfolgt jeweils um 2^x -Bits, wobei mit x die Wertigkeit des jeweiligen Steuerungssignals, des jeweiligen Bit innerhalb des Steuerungsvektors SV angegeben wird.

Die Funktionalität des Barrel-Shifters wird dadurch gewährleistet, daß zum einen die Eingangssignale, d. h. die einzelnen Bits des zu verarbeitenden digitalen Datenwortes in entsprechender, von der Funktionalität abhängiger vorgegebener Weise der Multiplexeranordnung MA zugeführt wird und zum anderen abhängig von dem jeweiligen Steuerungsdatenvektor SV.

- 5 In diesem Beispiel wird jeweils mit $bs_in[z]$ das z-te Bit des zu verarbeitenden Datenwortes bezeichnet. Der Index z ist eine allgemein beliebige Zahl, in diesem Beispiel eine Zahl zwischen 0 und 18.
Der Steuerungsvektor SV weist in diesem Fall vier Steuerungsbits $shift[3]$, $shift[2]$, $shift[1]$, $shift[0]$ auf.

Erste Multiplexerstufe ST1

10

Die erste Multiplexerstufe ST1 weist in diesem Beispielfall 11 Multiplexer auf.

Die gesamte erste Multiplexerstufe ST1 wird über ein erstes Steuerungssignal $shift[3]$, d. h. dem ersten, höchstwertigen Bit des Steuerungsvektors SV gesteuert. Die Funktionalität der einzelnen Multiplexer ist derart, daß die Funktionalität des ersten Multiplexers MUX1 aus Fig. 1a realisiert wird.

- 15 Einem ersten Multiplexer M11 der ersten Multiplexerstufe ST1 wird als erstes Eingangssignal E1 ein erstes Eingangsbit $bs_in[0]$ zugeführt. Als zweites Eingangssignal E2 wird dem ersten Multiplexer M11 der ersten Multiplexerstufe ST1 ein neuntes Eingangsbit $bs_in[8]$ zugeführt.

Einem zweiten Multiplexer M12 der ersten Multiplexerstufe ST1 wird als erstes Eingangssignal E1 ein drittes Eingangsbit $bs_in[2]$ und als zweites Eingangssignal E2 ein elftes Eingangsbit $bs_in[10]$ zugeführt.

- 20 Einem dritten Multiplexer M13 der ersten Multiplexerstufe ST1 wird als erstes Eingangssignal E1 ein zweites Eingangsbit $bs_in[1]$ und als zweites Eingangssignal E2 ein zehntes Eingangsbit $bs_in[9]$ zugeführt.

Einem vierten Multiplexer M14 der ersten Multiplexerstufe ST1 wird als erstes Eingangssignal E1 ein viertes Eingangsbit $bs_in[3]$ und als zweites Eingangssignal E2 ein zwölftes Eingangsbit $bs_in[11]$ zugeführt.

- 25 Einem fünften Multiplexer M15 der ersten Multiplexerstufe ST1 wird als erstes Eingangssignal E1 ein achttes Eingangsbit $bs_in[7]$ und als zweites Eingangssignal E2 ein 16-tes Eingangsbit $bs_in[15]$ zugeführt.

Einem sechsten Multiplexer M16 der ersten Multiplexerstufe ST1 wird als erstes Eingangssignal E1 ein sechstes Eingangsbit $bs_in[5]$ und als zweites Eingangssignal E2 ein 14-tes Eingangsbit $bs_in[13]$ zugeführt.

- 30 Einem siebten Multiplexer M17 der ersten Multiplexerstufe ST1 wird als erstes Eingangssignal E1 das zehnte Eingangsbit $bs_in[9]$ und als zweites Eingangssignal E2 ein 18-tes Eingangsbit $bs_in[17]$ zugeführt.

Einem achten Multiplexer M18 der ersten Multiplexerstufe ST1 wird als erstes Eingangssignal E1 ein fünftes Eingangsbit $bs_in[4]$ und als zweites Eingangssignal E2 ein 13-tes Eingangsbit $bs_in[12]$ zugeführt.

- 35 Einem neunten Multiplexer M19 der ersten Multiplexerstufe ST1 wird als erstes Eingangssignal E1 das neunte Eingangsbit $bs_in[8]$ und als zweites Eingangssignal E2 ein 17-tes Eingangsbit $bs_in[16]$ zugeführt.

Einem zehnten Multiplexer M110 der ersten Multiplexerstufe ST1 wird als erstes Eingangssignal E1 ein siebtes Eingangsbit $bs_in[6]$ und als zweites Eingangssignal E2 ein 15-tes Eingangsbit $bs_in[14]$ zugeführt.

- Einem elften Multiplexer M111 der ersten Multiplexerstufe ST1 wird als erstes Eingangssignal E1 das elfte Eingangsbit $bs_in[10]$ und als zweites Eingangssignal E2 ein 19-tes Eingangsbit $bs_in[18]$ zugeführt.

Zweite Multiplexerstufe ST2

40

Die zweite Multiplexerstufe ST2 weist in diesem Beispielfall 7 Multiplexer auf.

Die gesamte zweite Multiplexerstufe ST1 wird über ein zweites Steuerungssignal $shift[2]$, d. h. dem zweiten Bit des Steuerungsvektors SV gesteuert. Die Funktionalität der einzelnen Multiplexer ist derart, daß die Funktionalität des ersten Multiplexers MUX1 aus Fig. 1a realisiert wird.

- 45 Ein erster Eingang E1 eines ersten Multiplexers M21 der zweiten Multiplexerstufe ST2 ist mit einem Ausgang A11 des ersten Multiplexers M11 der ersten Multiplexerstufe ST1 gekoppelt. Ferner ist ein zweiter Eingang E2 des ersten Multiplexer M12 der zweiten Multiplexerstufe ST2 mit einem Ausgang A18 des achten Multiplexers M18 der ersten Multiplexerstufe ST1 gekoppelt.

- 50 Ein erster Eingang E1 eines zweiten Multiplexers M22 der zweiten Multiplexerstufe ST2 ist mit einem Ausgang A12 des zweiten Multiplexers M12 der ersten Multiplexerstufe ST1 gekoppelt. Ein zweiter Eingang E2 des zweiten Multiplexers M22 der zweiten Multiplexerstufe ST2 ist mit einem Ausgang A110 des zehnten Multiplexers M110 der ersten Multiplexerstufe ST1 gekoppelt.

- 55 Ein erster Eingang E1 des dritten Multiplexers M23 der zweiten Multiplexerstufe ST2 ist mit einem Ausgang A13 des dritten Multiplexers M13 der ersten Multiplexerstufe ST1 gekoppelt. Ferner ist ein zweiter Eingang E2 des dritten Multiplexers M23 der zweiten Multiplexerstufe ST2 mit einem Ausgang A16 des sechsten Multiplexers M16 der ersten Multiplexerstufe ST1 gekoppelt.

- 60 Ein erster Eingang E1 eines vierten Multiplexers M24 der zweiten Multiplexerstufe ST2 ist mit einem Ausgang A14 des vierten Multiplexers M14 der ersten Multiplexerstufe ST1 gekoppelt. Ein zweiter Eingang E2 des vierten Multiplexers M24 der zweiten Multiplexerstufe ST2 ist mit einem Ausgang A15 des fünften Multiplexers M15 der ersten Multiplexerstufe ST1 gekoppelt.

- 65 Ein erster Eingang E1 eines fünften Multiplexers M25 der zweiten Multiplexerstufe ST2 ist mit einem Ausgang A16 des sechsten Multiplexers M16 der ersten Multiplexerstufe ST1 gekoppelt. Ferner ist ein zweiter Eingang E2 des fünften Multiplexers M25 der zweiten Multiplexerstufe ST2 mit einem Ausgang A17 des siebten Multiplexers M17 der ersten Multiplexerstufe ST1 gekoppelt.

- Ein erster Eingang E1 eines sechsten Multiplexers M26 der zweiten Multiplexerstufe ST2 ist mit einem Ausgang A18 des achten Multiplexers M18 der ersten Multiplexerstufe ST1 gekoppelt. Ein zweiter Eingang E2 des sechsten Multiplexers M26 der zweiten Multiplexerstufe ST2 ist mit einem Ausgang A19 des neunten Multiplexers M19 der ersten Multiplexerstufe ST1 gekoppelt.

Ein erster Eingang E1 eines siebten Multiplexers M27 der zweiten Multiplexerstufe ST2 ist mit einem Ausgang A110 des zehnten Multiplexers M110 der ersten Multiplexerstufe ST1 gekoppelt. Ein zweiter Eingang E2 des siebten Multiplexers M27 der zweiten Multiplexerstufe ST2 ist mit einem Ausgang A111 des elften Multiplexers M111 der ersten Multiplexerstufe ST1 gekoppelt.

Dritte Multiplexerstufe ST3

Die dritte Multiplexerstufe ST3 weist in diesem Beispielfall 5 Multiplexer auf.

Die gesamte zweite Multiplexerstufe ST2 wird über ein drittes Steuerungssignal shift[1], d. h. dem dritten Bit des Steuerungsvektors SV gesteuert. Die Funktionalität der einzelnen Multiplexer ist derart, daß die Funktionalität des ersten Multiplexers MUX1 aus Fig. 1a realisiert wird.

Ein erster Eingang E1 eines ersten Multiplexers M31 der dritten Multiplexerstufe ST3 ist mit einem Ausgang A21 des ersten Multiplexers M21 der zweiten Multiplexerstufe ST2 gekoppelt. Ein zweiter Eingang E2 des ersten Multiplexers M31 der dritten Multiplexerstufe ST3 ist mit einem Ausgang A22 des zweiten Multiplexers M22 der zweiten Multiplexerstufe ST2 gekoppelt.

Ein zweiter Multiplexer M32 der dritten Multiplexerstufe ST3 ist mit einem Ausgang A23 des dritten Multiplexers M23 der zweiten Multiplexerstufe ST2 gekoppelt. Ein zweiter Eingang E2 des zweiten Multiplexers M32 der dritten Multiplexerstufe ST3 ist mit einem Ausgang A24 des vierten Multiplexers M24 der zweiten Multiplexerstufe ST2 gekoppelt.

Ein erster Eingang E1 eines dritten Multiplexers M33 der dritten Multiplexerstufe ST3 ist mit dem Ausgang A22 des zweiten Multiplexers M22 der zweiten Multiplexerstufe ST2 gekoppelt. Ein zweiter Eingang E2 des dritten Multiplexers M33 der dritten Multiplexerstufe ST3 ist mit einem Ausgang A26 des sechsten Multiplexers M26 der zweiten Multiplexerstufe ST2 gekoppelt.

Ein erster Eingang E1 eines vierten Multiplexers M34 der dritten Multiplexerstufe ST3 ist mit dem Ausgang A24 des vierten Multiplexers M24 der zweiten Multiplexerstufe ST2 gekoppelt. Ein zweiter Eingang E2 des vierten Multiplexers M34 der dritten Multiplexerstufe ST3 ist mit einem Ausgang A25 des fünften Multiplexers M25 der zweiten Multiplexerstufe ST2 gekoppelt.

Ein erster Eingang E1 eines fünften Multiplexers M35 der dritten Multiplexerstufe ST3 ist mit dem Ausgang A26 des sechsten Multiplexers M26 der zweiten Multiplexerstufe ST2 gekoppelt. Ein zweiter Eingang E2 des fünften Multiplexers M35 der dritten Multiplexerstufe ST3 ist mit einem Ausgang A27 des siebten Multiplexers M27 der zweiten Multiplexerstufe ST2 gekoppelt.

Vierte Multiplexerstufe ST4

Die vierte Multiplexerstufe ST4 weist in diesem Beispielfall 4 Multiplexer auf.

Die gesamte vierte Multiplexerstufe ST4 wird über ein viertes Steuerungssignal shift[0], d. h. dem vierten Bit des Steuerungsvektors SV gesteuert. Die Funktionalität der einzelnen Multiplexer ist derart, daß die Funktionalität des ersten Multiplexers MUX1 aus Fig. 1a realisiert wird.

Ein erster Eingang E1 eines ersten Multiplexers M41 der vierten Multiplexerstufe ST4 ist mit einem Ausgang A31 des ersten Multiplexers M31 der dritten Multiplexerstufe ST3 gekoppelt. Ein zweiter Eingang E2 des ersten Multiplexers M41 der vierten Multiplexerstufe ST4 ist mit einem Ausgang A32 des zweiten Multiplexers M32 der dritten Multiplexerstufe ST3 gekoppelt.

Ein erster Eingang E1 eines zweiten Multiplexers M42 der vierten Multiplexerstufe ST4 ist mit dem Ausgang A32 des zweiten Multiplexers M32 der dritten Multiplexerstufe ST3 gekoppelt. Ferner ist ein zweiter Eingang E2 des zweiten Multiplexers M42 der vierten Multiplexerstufe ST4 mit einem Ausgang A33 des dritten Multiplexers M33 der dritten Multiplexerstufe ST3 gekoppelt.

Ein erster Eingang E1 eines dritten Multiplexers M43 der vierten Multiplexerstufe ST4 ist mit dem Ausgang A33 des dritten Multiplexers M33 der dritten Multiplexerstufe ST3 gekoppelt. Ein zweiter Eingang E2 des dritten Multiplexers M43 der vierten Multiplexerstufe ST4 ist mit einem Ausgang A34 des vierten Multiplexers M34 der dritten Multiplexerstufe ST3 gekoppelt.

Ein erster Eingang E1 eines vierten Multiplexers M44 der vierten Multiplexerstufe ST4 ist mit dem Ausgang A34 des vierten Multiplexers M34 der dritten Multiplexerstufe ST3 gekoppelt. Ein zweiter Eingang E2 des vierten Multiplexers M44 der vierten Multiplexerstufe ST4 ist mit einem Ausgang A35 des fünften Multiplexers M35 der dritten Multiplexerstufe ST3 gekoppelt.

Die einzelnen Multiplexer der vierten Multiplexerstufe ST4 stellen jeweils an einem Ausgang Aj, j=1-4 die ausgewählten Bits, abhängig von dem Steuerungsvektor SV zur Verfügung.

Somit liegt an jeder Multiplexerstufe STk am Eingang jeweils ein Signalvektor an, der gegenüber dem Signal, welches an der Vorgängermultiplexerstufe STk-1 anliegt, um 2x Bit verschoben ist, falls das jeweilige Steuerungssignal aktiv ist, oder nicht verschoben ist, falls das Steuerungssignal inaktiv ist.

In Fig. 3 ist ein Ausführungsbeispiel der erfindungsgemäßen mehrstufigen Multiplexeranordnung MA dargestellt, wobei die einzelnen Multiplexer mit invertierten Steuerungssignalen angesteuert werden.

Die einzelnen Multiplexer weisen nunmehr die in Fig. 1b dargestellte Funktionalität auf. Die Bezeichnung der einzelnen Eingangssignale sowie die Bezeichnung der einzelnen Multiplexer Mkl und der Multiplexerstufen STk bleiben unverändert.

Es ist für die Erfindung keineswegs erforderlich, wie im weiteren erläutert wird, daß alle Multiplexer Mkl der Multiplexeranordnung MA mit invertierten Steuerungssignalen shift angesteuert werden. Es ist ebenso vorgesehen, lediglich Teile, d. h. einzelne Multiplexer Mkl oder ganze Multiplexerstufen STk der Multiplexeranordnung MA mit einem invertierten Steuerungssignal shift anzusteuern und die restlichen Multiplexer Mkl bzw. Multiplexerstufen STk mit nichtin-

vertierten Steuerungssignalen shift anzusteuern.

Auch wenn in diesem Ausführungsbeispiel, wie im weiteren erläutert wird jeweils eine ganze Multiplexerstufe STk über ein invertiertes Steuerungssignal shift [3], shift [2], shift [1], shift [0] angesteuert wird, so ist es jedoch ebenso vorgesehen, einzelne Multiplexer Mkl mit einem invertierten Steuerungssignal shift [3], shift [2], shift [1], shift [0] bzw. auch einzelne Multiplexer Mkl mit einem nichtinvertierten Steuerungssignal shift[3], shift[2], shift[1], shift[0] anzusteuern.

Auch die Struktur der im weiteren beschriebenen Multiplexeranordnung MA, deren Funktionalität ebenso ein Barrel-Shifter ist, ist keineswegs im Rahmen der Erfindung erforderlich. Das Ausführungsbeispiel soll lediglich dazu dienen, den erheblichen Vorteil der erfindungsgemäßen Multiplexeranordnung zu verdeutlichen, die deutliche Vereinfachung der benötigten Steuerungslogik, wenn die Multiplexer mit invertierten Steuerungssignalen angesteuert werden. Diese Darstellung dient lediglich zum einfacheren Verständnis bzw. zum besseren Vergleich mit dem bekannten Barrel-Shifter aus Fig. 2.

Jede beliebige Funktionalität, die in Form Boolescher Funktionen dargestellt werden kann, kann durch eine mehrstufige Multiplexeranordnung MA realisiert werden. Wichtig ist hierbei die Ansteuerung mindestens eines Teils der Multiplexeranordnung MA mit invertierten Steuerungssignalen.

Erste Multiplexerstufe ST1

Die erste Multiplexerstufe ST1 weist in diesem Beispielfall wiederum 11 Multiplexer auf.

Die gesamte erste Multiplexerstufe ST1 wird über ein erstes invertiertes Steuerungssignal shift [3], d. h. dem ersten, höchstwertigen Bit des invertierten Steuerungsvektors SV gesteuert. Die Funktionalität der einzelnen Multiplexer ist derart, daß die Funktionalität des ersten Multiplexers MUX1 aus Fig. 1b realisiert wird.

Dem ersten Eingang E1 des ersten Multiplexers M11 der ersten Multiplexerstufe ST1 wird das zehnte Eingangsbit bs_in[9] zugeführt. Dem zweiten Eingang E2 des ersten Multiplexers M11 der ersten Multiplexerstufe ST1 wird das zweite Eingangsbit bs_in[1] zugeführt.

Dem ersten Eingang E1 des zweiten Multiplexers M12 der ersten Multiplexerstufe ST1 wird das elfte Eingangsbit bs_in[10] zugeführt. Dem zweiten Eingang E2 des zweiten Multiplexers M12 der ersten Multiplexerstufe ST1 wird das dritte Eingangsbit bs_in[2] zugeführt.

Dem ersten Eingang E1 des dritten Multiplexers M13 der ersten Multiplexerstufe ST1 wird das neunte Eingangsbit bs_in[8] zugeführt. Dem zweiten Eingang E2 des dritten Multiplexers M13 der ersten Multiplexerstufe ST1 wird das erste Eingangsbit bs_in[0] zugeführt.

Dem ersten Eingang E1 des vierten Multiplexers M14 der ersten Multiplexerstufe ST1 wird das 19-te Eingangsbit bs_in[18] zugeführt. Dem zweiten Eingang E2 des vierten Multiplexers M14 der ersten Multiplexerstufe ST1 wird das elfte Eingangsbit bs_in[10] zugeführt.

Dem ersten Eingang E1 des fünften Multiplexers M15 der ersten Multiplexerstufe ST1 wird das 15-te Eingangsbit bs_in[14] zugeführt. Dem zweiten Eingang E2 des fünften Multiplexers M15 der ersten Multiplexerstufe ST1 wird das siebente Eingangsbit bs_in[6] zugeführt.

Dem ersten Eingang E1 des sechsten Multiplexers M16 der ersten Multiplexerstufe ST1 wird das 17-te Eingangsbit bs_in[16] zugeführt. Dem zweiten Eingang E2 des sechsten Multiplexers M16 der ersten Multiplexerstufe ST1 wird das neunte Eingangsbit bs_in[8] zugeführt.

Dem ersten Eingang E1 des siebten Multiplexers M17 der ersten Multiplexerstufe ST1 wird das 13-te Eingangsbit bs_in[12] zugeführt. Dem zweiten Eingang E2 des siebten Multiplexers M17 der ersten Multiplexerstufe ST1 wird das fünfte Eingangsbit bs_in[4] zugeführt.

Dem ersten Eingang E1 des achten Multiplexers M18 der ersten Multiplexerstufe ST1 wird das 18-te Eingangsbit bs_in[17] zugeführt. Dem zweiten Eingang E2 des achten Multiplexers M18 der ersten Multiplexerstufe ST1 wird das zehnte Eingangsbit bs_in[9] zugeführt.

Dem ersten Eingang E1 des neunten Multiplexers M19 der ersten Multiplexerstufe ST1 wird das 14-te Eingangsbit bs_in[13] zugeführt. Dem zweiten Eingang E2 des neunten Multiplexers M19 der ersten Multiplexerstufe ST1 wird das sechste Eingangsbit bs_in[5] zugeführt.

Dem ersten Eingang E1 des zehnten Multiplexers M110 der ersten Multiplexerstufe ST1 wird das 16-te Eingangsbit bs_in[15] zugeführt. Dem zweiten Eingang E2 des zehnten Multiplexers M110 der ersten Multiplexerstufe ST1 wird das achte Eingangsbit bs_in[7] zugeführt.

Dem ersten Eingang E1 des elften Multiplexers M111 der ersten Multiplexerstufe ST1 wird das 12-te Eingangsbit bs_in[11] zugeführt. Dem zweiten Eingang E2 des elften Multiplexers M111 der ersten Multiplexerstufe ST1 wird das vierte Eingangsbit bs_in[3] zugeführt.

Zweite Multiplexerstufe ST2

Die zweite Multiplexerstufe ST2 weist in diesem Beispielfall wiederum 7 Multiplexer auf.

Die gesamte zweite Multiplexerstufe ST2 wird über ein zweites invertiertes Steuerungssignal shift [2], d. h. dem zweiten Bit des invertierten Steuerungsvektors SV gesteuert. Die Funktionalität der einzelnen Multiplexer ist derart, daß die Funktionalität des ersten Multiplexers MUX1 aus Fig. 1b realisiert wird.

Der erste Multiplexer M21 der zweiten Multiplexerstufe ST2 ist über einen ersten Eingang E1 mit dem Ausgang A19 des neunten Multiplexers M19 der ersten Multiplexerstufe ST1 gekoppelt. Der zweite Eingang des ersten Multiplexers M21 der zweiten Multiplexerstufe ST2 ist mit dem Ausgang A11 des ersten Multiplexers M11 der ersten Multiplexerstufe ST1 gekoppelt.

Der erste Eingang E1 des zweiten Multiplexers M22 der zweiten Multiplexerstufe ST2 ist mit dem Ausgang A15 des fünften Multiplexers M15 der ersten Multiplexerstufe ST1 gekoppelt. Der zweite Eingang E2 des zweiten Multiplexers

M22 der zweiten Multiplexerstufe ST2 ist mit dem Ausgang A12 des zweiten Multiplexers M12 der ersten Multiplexerstufe ST1 gekoppelt.

Der erste Eingang E1 des dritten Multiplexers M23 der zweiten Multiplexerstufe ST2 ist mit dem Ausgang A17 des siebten Multiplexers M17 der ersten Multiplexerstufe ST1 gekoppelt. Der zweite Eingang E2 des dritten Multiplexers M23 der zweiten Multiplexerstufe ST2 ist mit dem Ausgang A13 des dritten Multiplexers M13 der ersten Multiplexerstufe ST1 gekoppelt.

Der erste Eingang E1 des vierten Multiplexers M24 der zweiten Multiplexerstufe ST2 ist mit dem Ausgang A14 des vierten Multiplexers M14 der ersten Multiplexerstufe ST1 gekoppelt. Der zweite Eingang E2 des vierten Multiplexers M24 der zweiten Multiplexerstufe ST2 ist mit dem Ausgang A15 des fünften Multiplexers M15 der ersten Multiplexerstufe ST1 gekoppelt.

Der erste Eingang E1 des fünften Multiplexers M25 der zweiten Multiplexerstufe ST2 ist mit dem Ausgang A16 des sechsten Multiplexers M16 der ersten Multiplexerstufe ST1 gekoppelt. Der zweite Eingang E2 des fünften Multiplexers M25 der zweiten Multiplexerstufe ST2 ist mit dem Ausgang A17 des siebten Multiplexers M17 der ersten Multiplexerstufe ST1 gekoppelt.

Der erste Eingang E1 des sechsten Multiplexers M26 der zweiten Multiplexerstufe ST2 ist mit dem Ausgang A18 des achten Multiplexers M18 der ersten Multiplexerstufe ST1 gekoppelt. Der zweite Eingang E2 des sechsten Multiplexers M26 der zweiten Multiplexerstufe ST2 ist mit dem Ausgang A19 des neunten Multiplexers M19 der ersten Multiplexerstufe ST1 gekoppelt.

Der erste Eingang E1 des siebten Multiplexers M27 der zweiten Multiplexerstufe ST2 ist mit dem Ausgang A110 des zehnten Multiplexers M110 der ersten Multiplexerstufe ST1 gekoppelt. Der zweite Eingang E2 des siebten Multiplexers M27 der zweiten Multiplexerstufe ST2 ist mit dem Ausgang A111 des elften Multiplexers M111 der ersten Multiplexerstufe ST1 gekoppelt.

Dritte Multiplexerstufe ST3

Die dritte Multiplexerstufe ST3 weist in diesem Beispielfall wiederum 5 Multiplexer auf.

Die gesamte dritte Multiplexerstufe ST3 wird über ein drittes invertiertes Steuerungssignal $\overline{\text{shift}} [1]$, d. h. dem dritten Bit des invertierten Steuerungsvektors SV gesteuert. Die Funktionalität der einzelnen Multiplexer ist derart, daß die Funktionalität des ersten Multiplexers MUX1 aus Fig. 1b realisiert wird.

Der erste Eingang E1 des ersten Multiplexers M31 der dritten Multiplexerstufe ST3 ist mit dem Ausgang A27 des siebten Multiplexers M27 der zweiten Multiplexerstufe ST2 gekoppelt. Der zweite Eingang E2 des ersten Multiplexers M31 der dritten Multiplexerstufe ST3 ist mit dem Ausgang A21 des ersten Multiplexers M21 der zweiten Multiplexerstufe ST2 gekoppelt.

Der erste Eingang E1 des zweiten Multiplexers M32 der dritten Multiplexerstufe ST3 ist mit dem Ausgang A22 des zweiten Multiplexers M22 der zweiten Multiplexerstufe ST2 gekoppelt. Der zweite Eingang E2 des zweiten Multiplexers M32 der dritten Multiplexerstufe ST3 ist mit dem Ausgang A23 des dritten Multiplexers M23 der zweiten Multiplexerstufe ST2 gekoppelt.

Der erste Eingang E1 des dritten Multiplexers M33 der dritten Multiplexerstufe ST3 ist mit dem Ausgang A25 des fünften Multiplexers M25 der zweiten Multiplexerstufe ST2 gekoppelt. Der zweite Eingang E2 des dritten Multiplexers M33 der dritten Multiplexerstufe ST3 ist mit dem Ausgang A22 des zweiten Multiplexers M22 der zweiten Multiplexerstufe ST2 gekoppelt.

Der erste Eingang E1 des vierten Multiplexers M34 der dritten Multiplexerstufe ST3 ist mit dem Ausgang A24 des vierten Multiplexers M24 der zweiten Multiplexerstufe ST2 gekoppelt. Der zweite Eingang E2 des vierten Multiplexers M34 der dritten Multiplexerstufe ST3 ist mit dem Ausgang A25 des fünften Multiplexers M25 der zweiten Multiplexerstufe ST2 gekoppelt.

Der erste Eingang E1 des fünften Multiplexers M35 der dritten Multiplexerstufe ST3 ist mit dem Ausgang A26 des sechsten Multiplexers M26 der zweiten Multiplexerstufe ST2 gekoppelt. Der zweite Eingang E2 des fünften Multiplexers M35 der dritten Multiplexerstufe ST3 ist mit dem Ausgang A27 des siebten Multiplexers M27 der zweiten Multiplexerstufe ST2 gekoppelt.

Vierte Multiplexerstufe ST4

Die vierte Multiplexerstufe ST4 weist in diesem Beispielfall wiederum 4 Multiplexer auf.

Die gesamte vierte Multiplexerstufe ST4 wird über ein viertes invertiertes Steuerungssignal $\overline{\text{shift}} [0]$, d. h. dem vierten Bit des invertierten Steuerungsvektors SV gesteuert. Die Funktionalität der einzelnen Multiplexer ist derart, daß die Funktionalität des ersten Multiplexers MUX1 aus Fig. 1b realisiert wird.

Der erste Eingang E1 des ersten Multiplexers M41 der vierten Multiplexerstufe ST4 ist mit dem Ausgang A31 des ersten Multiplexers M31 der dritten Multiplexerstufe ST3 gekoppelt. Der zweite Eingang E2 des ersten Multiplexers M41 der vierten Multiplexerstufe ST4 ist mit dem Ausgang A32 des zweiten Multiplexers M32 der dritten Multiplexerstufe ST3 gekoppelt.

Der erste Eingang E1 des zweiten Multiplexers M42 der vierten Multiplexerstufe ST4 ist mit dem Ausgang A33 des dritten Multiplexers M33 der dritten Multiplexerstufe ST3 gekoppelt. Der zweite Eingang E2 des zweiten Multiplexers M42 der vierten Multiplexerstufe ST4 ist mit dem Ausgang A31 des ersten Multiplexers M31 der dritten Multiplexerstufe ST3 gekoppelt.

Der erste Eingang E1 des dritten Multiplexers M43 der vierten Multiplexerstufe ST4 ist mit dem Ausgang A35 des fünften Multiplexers M35 der dritten Multiplexerstufe ST3 gekoppelt. Der zweite Eingang E2 des dritten Multiplexers M43 der vierten Multiplexerstufe ST4 ist mit dem Ausgang A33 des dritten Multiplexers M33 der dritten Multiplexerstufe ST3 gekoppelt.

Der erste Eingang E1 des vierten Multiplexers M44 der vierten Multiplexerstufe ST4 ist mit dem Ausgang A34 des vierten Multiplexers M34 der dritten Multiplexerstufe ST3 gekoppelt. Der zweite Eingang E2 des vierten Multiplexers M44 der vierten Multiplexerstufe ST4 ist mit dem Ausgang A35 des fünften Multiplexers M35 der dritten Multiplexerstufe ST3 gekoppelt.

5 Es ist keineswegs für die Erfindung erforderlich, daß alle Multiplexer Mkl und auch nicht insgesamt alle Multiplexerstufen STk mit invertierten Steuerungssignalen angesteuert werden.

Es ist ebenso vorgesehen, nur Teile der Multiplexeranordnung MA derart auszugestalten, daß sie mit invertierten Steuerungssignalen angesteuert werden. Die Struktur der jeweiligen Multiplexerstufen STk ändert sich dann entsprechend der sich ändernden Booleschen Funktionen. Die entsprechenden erforderlichen Änderungen für die sich ergebende Struktur sind bekannt.

10 In diesem Dokument wurde folgende Veröffentlichung zitiert:

[1] Ming-Ting Sun, Design of High-Throuput Entropy Codec, Elsevier Science Publishers, VLSI Implementations for Image Communications, P. Pirsch (Ed.), Kapitel 11, S. 345-364, 1993.

15

Patentansprüche

1. Mehrstufige Multiplexeranordnung (MA) mit Eingängen (Ei, $i = 1 \dots n$) und mindestens einem Ausgang (Aj, $j = 1 \dots m$), bei dem die Multiplexeranordnung (MA) derart ausgestaltet ist, daß mindestens ein Multiplexer (Mkl, $k = 1 \dots s, l = 1 \dots t$) der Multiplexeranordnung (MA) mit einem invertierten Steuerungssignal angesteuert wird.
- 20 2. Multiplexeranordnung nach Anspruch 1, bei dem mindestens eine Multiplexerstufe (Stk, $k = 1 \dots s$) der Multiplexeranordnung (MA) derart ausgeschaltet ist, daß die Multiplexerstufe (Stk, $k = 1 \dots s$) insgesamt mit einem invertierten Steuerungssignal angesteuert wird.
3. Multiplexeranordnung nach Anspruch 1 oder 2, bei dem alle Multiplexerstufen (Stk, $k = 1 \dots s$) der Multiplexeranordnung (MA) derart ausgestaltet sind, daß die Multiplexerstufen (Stk, $k = 1 \dots s$) mit invertierten Steuerungssignalen angesteuert werden.
- 25 4. Multiplexeranordnung nach einem der Ansprüche 1 bis 3, bei dem die Multiplexeranordnung (MA) als ein Barrel-Shifter ausgestaltet ist.

30

Hierzu 4 Seite(n) Zeichnungen

35

40

45

50

55

60

65

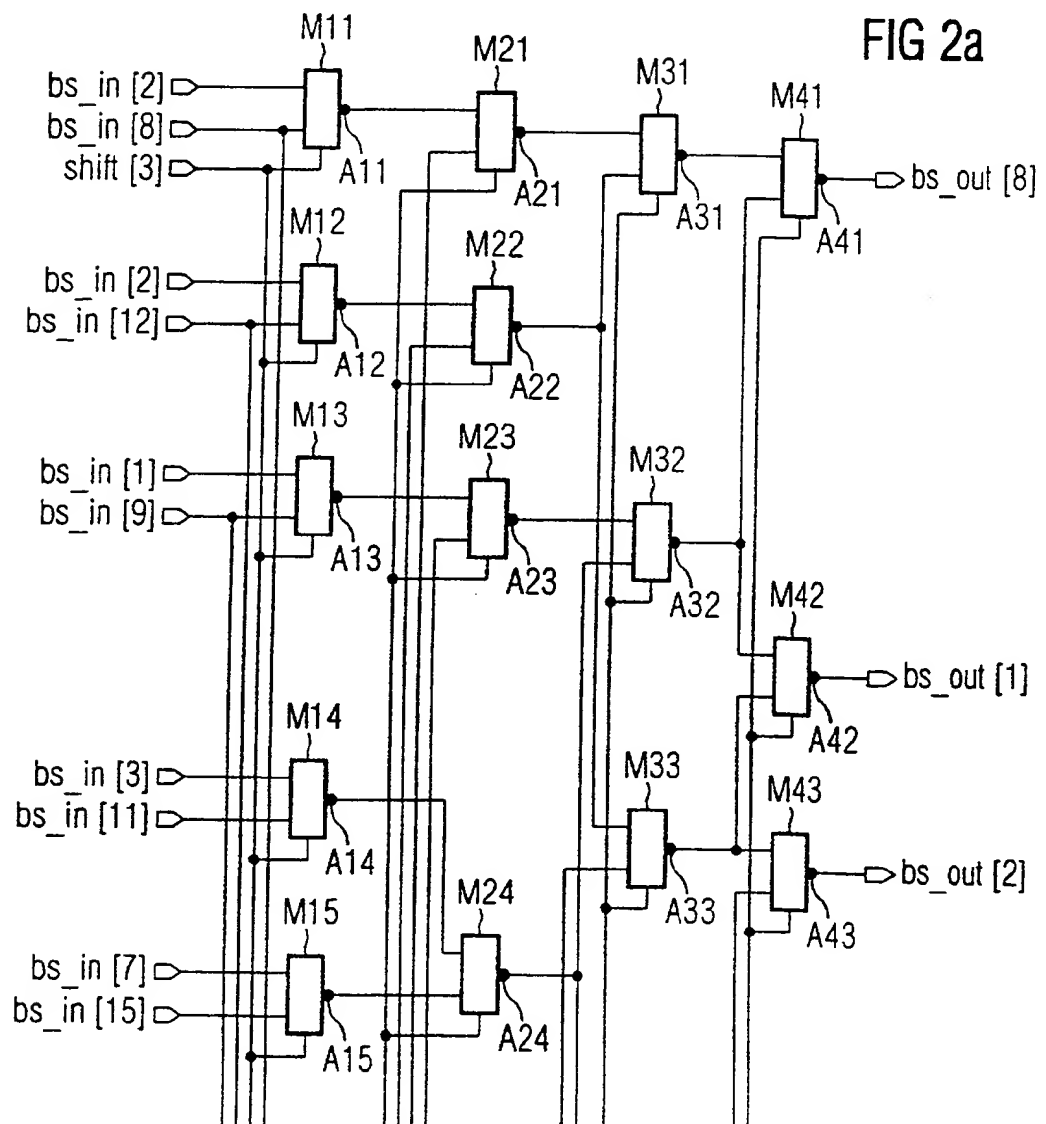
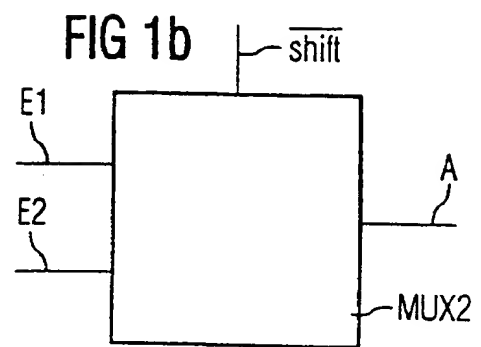
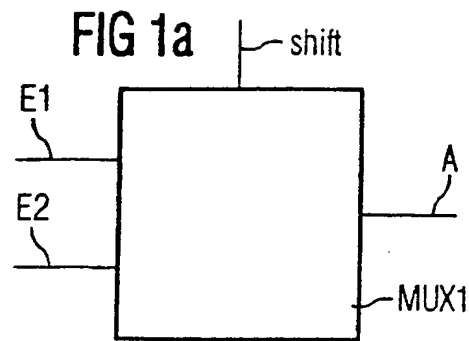
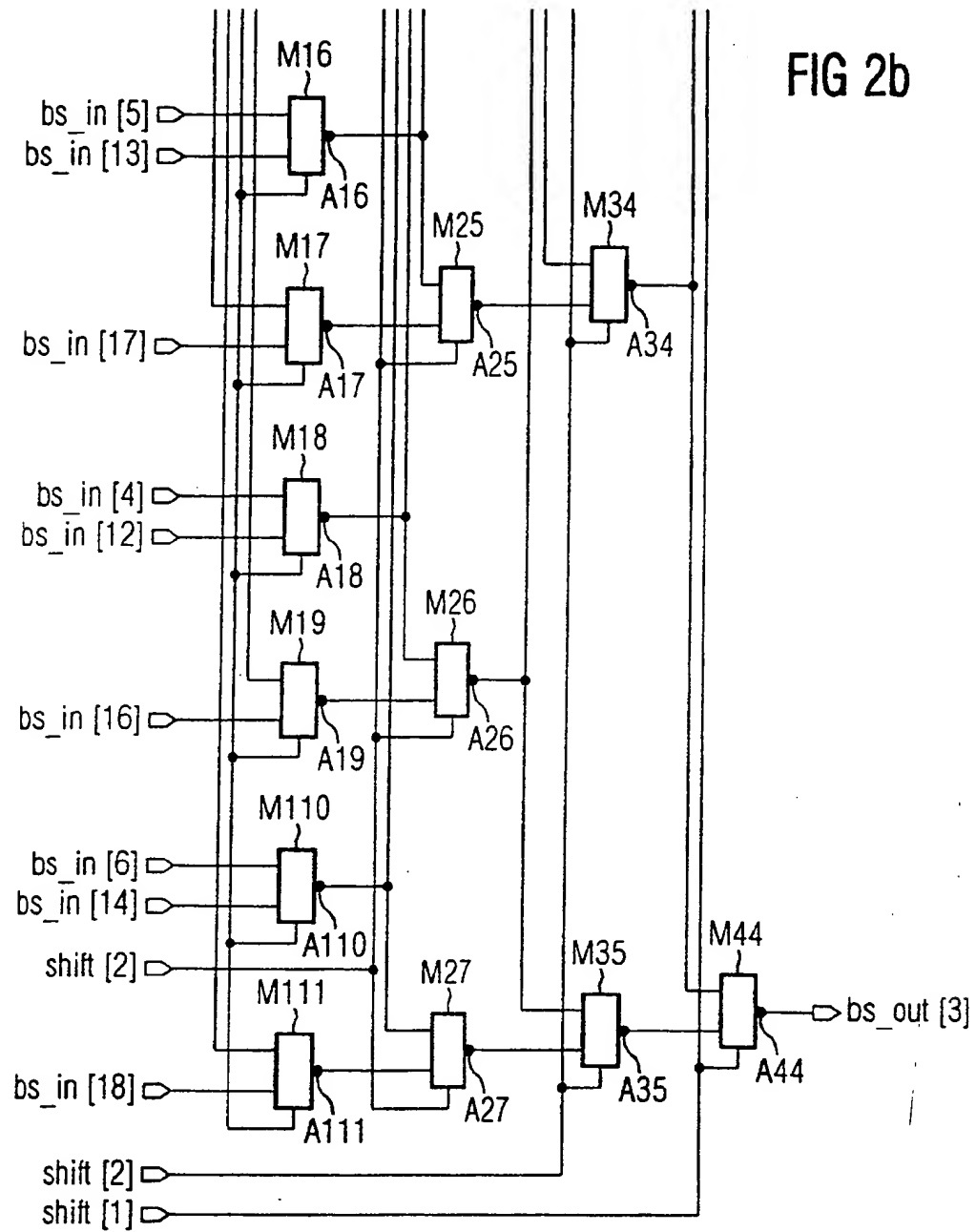


FIG 2b



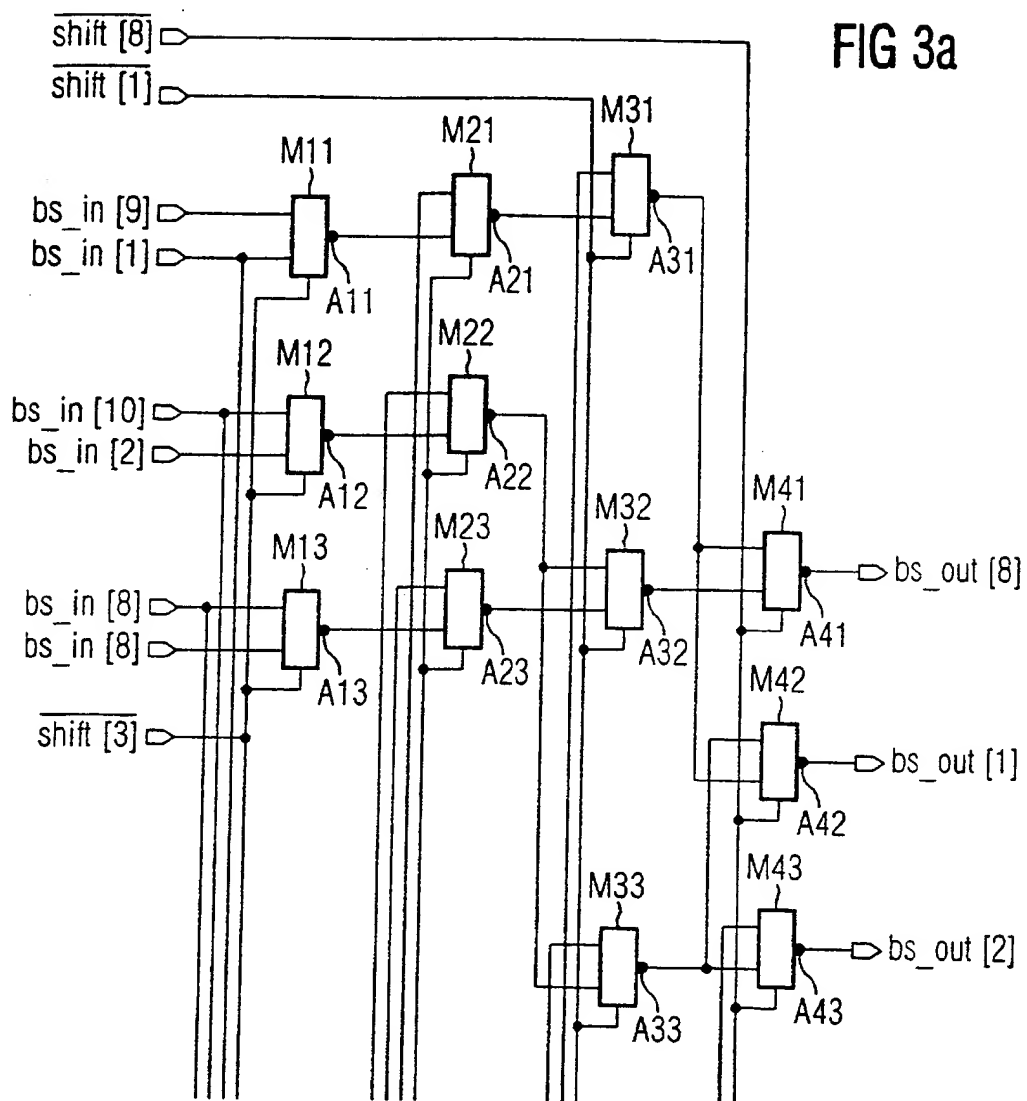


FIG 3b

